

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **YAMAGISHI, Yasuo, et al.**

Group Art Unit:

Serial No.: 10/621,445



Examiner: Not Yet Assigned

Filed: July 18, 2003

For. **PROBE CARD AND TESTING METHOD OF SEMICONDUCTOR CHIP,  
CAPACITOR AND MANUFACTURING METHOD THEREOF**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: January 26, 2004

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-270360, filed July 2, 2003**

**Japanese Appln. No. 2003-020663, filed January 29, 2003**

**Japanese Appln. No. 2002-2214476, filed July 23, 2002**


In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

**ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP**



Donald W. Hanson

Attorney for Applicants

Reg. No. 27,133

DWH/bjb  
Atty. Docket No. 030868  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 7月 2日  
Date of Application:

出願番号                      特願2003-270360  
Application Number:  
[ST. 10/C]:                      [JP 2003-270360]

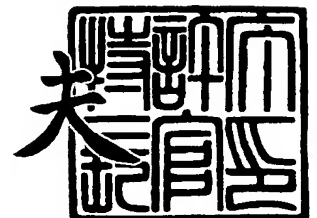
出願人                      富士通株式会社  
Applicant(s):



2003年 7月24日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3058725

【書類名】 特許願  
【整理番号】 0340132  
【提出日】 平成15年 7月 2日  
【あて先】 特許庁長官 太田 信一郎 殿  
【国際特許分類】 G01R 1/073  
G01R 1/067  
G01R 31/26  
H01L 23/12

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 山岸 康男

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 塩賀 健司

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 ジョン デイビッド ベネキ

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 栗原 和明

【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社

【代理人】  
【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイス  
タワー32階  
【弁理士】  
【氏名又は名称】 伊東 忠彦  
【電話番号】 03-5424-2511

【先の出願に基づく優先権主張】  
【出願番号】 特願2002-214476  
【出願日】 平成14年 7月23日提出の特許願

【手数料の表示】  
【予納台帳番号】 002989  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0114942

## 【書類名】 特許請求の範囲

## 【請求項 1】

検査対象の半導体チップの電極に各々接触するよう形成された複数のプローブ針と、  
複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層と、

前記半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタと、

を備えるプローブカードにおいて、

各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタが前記ビルドアップ配線層内の絶縁樹脂層に埋設してあることを特徴とするプローブカード。

## 【請求項 2】

前記キャパシタは、前記ビルドアップ配線層の 1 つの絶縁樹脂層の厚さと略等しいか、あるいはそれ以下の厚さを有することを特徴とする請求項 1 記載のプローブカード。

## 【請求項 3】

前記キャパシタは、支持基板としてシリコン基板を用い、前記シリコン基板の一方の面上に誘電体層を間に挟み込んで形成された上部電極及び下部電極を有する薄膜キャパシタであり、前記シリコン基板の他方の面を研磨して形成したことを特徴とする請求項 1 又は 2 記載のプローブカード。

## 【請求項 4】

前記キャパシタは、前記プローブ針直下の前記ビルドアップ配線層内に埋設されていることを特徴とする請求項 1 記載のプローブカード。

## 【請求項 5】

前記キャパシタは複数個埋設されており、各キャパシタが異なる電圧の電源配線に接続されることを特徴とする請求項 1 乃至 4 のいずれか一項記載のプローブカード。

## 【請求項 6】

薄膜キャパシタを内蔵し、半導体チップと該薄膜キャパシタ間のインピーダンスが所定値に設定してある半導体パッケージに用いる半導体チップに対し、パッケージング前にその電氣的特性を試験する半導体チップの試験方法において、

プローブカードとして、前記半導体チップの電極に各々接触するよう配設された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記複数のプローブ針が最表面に形成され、各プローブ針と当該配線とが接続してあるビルドアップ配線層と、キャパシタとを備え、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタを前記ビルドアップ配線層内の絶縁樹脂層に埋設させたプローブカードを、前記半導体チップに接触させ、前記プローブ針を介して電氣的に接続する手順と、

前記プローブ針と前記キャパシタの間のインピーダンスを前記半導体パッケージの前記インピーダンスの所定値とほぼ等しい値に予め設定しておく手順と、

を有することを特徴とする半導体チップの試験方法。

## 【請求項 7】

前記半導体チップがダイシング前のウェハ状態にあるときに、前記プローブカードを用いて前記半導体チップの電氣的特性を試験することを特徴とする請求項 6 記載の半導体チップの試験方法。

## 【請求項 8】

誘電体膜と、

前記誘電体膜の第 1 の主面上に形成された第 1 の電極膜と、

前記誘電体膜の第 2 の主面上に形成された第 2 の電極膜と、

前記第 1 の電極膜から、前記誘電体膜と前記第 1 および第 2 の電極膜とよりなる積層構造体の第 1 の側に引き出された第 1 の配線部と、

前記第 2 の電極膜から、前記積層構造体の前記第 1 の側に引き出された第 2 の配線部と

よりなり、

前記積層構造体の第2の側には樹脂層が形成されていることを特徴とするキャパシタ。

【請求項9】

キャパシタと、

前記キャパシタが実装された半導体チップとよりなる半導体装置であって、

前記キャパシタは、

誘電体膜と、

前記誘電体膜の第1の主面上に形成された第1の電極膜と、

前記誘電体膜の第2の主面上に形成された第2の電極膜と、

前記第1の電極膜から、前記誘電体膜と前記第1および第2の電極膜とよりなる積層構造体の第1の側に引き出された第1の配線部と、

前記第2の電極膜から、前記積層構造体の前記第1の側に引き出された第2の配線部とよりなり、

前記積層構造体の第2の側には樹脂層が形成されており、

前記キャパシタは前記半導体チップの第1の側において、前記第1および第2の配線部を、前記半導体チップ表面に形成された第1および第2の電極パッドに接続された状態で実装されることを特徴とする半導体装置。

【請求項10】

基板上に樹脂よりなる第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の電極を形成する工程と、

前記第1の電極上に誘電体膜を形成する工程と、

前記誘電体膜上に第2の電極膜を形成する工程と、

前記第2の電極膜上に第2の絶縁膜を形成する工程と、

前記基板をエッチングして除去し、前記基板上に形成された前記第1の絶縁膜を露出させる工程を含むことを特徴とするキャパシタの製造方法。

【書類名】明細書

【発明の名称】薄膜キャパシタ

【技術分野】

【0001】

本発明は、半導体チップの電気的特性を試験する際に用いられるプローブカードに関し、特に動作周波数が1GHz以上の高速動作する半導体チップの試験に有効なプローブカードに関する。また、本発明は、半導体チップがパッケージに実装された状態とほぼ同じ状態で、ウェハ上の半導体素子の試験を可能とする、プローブカードを用いた半導体チップの試験方法に関する。本発明はまた、半導体装置に取り付けるキャパシタ、当該キャパシタの製造方法および当該キャパシタを有する半導体装置に関する。

【背景技術】

【0002】

従来、ウェハ上に多数形成された半導体チップに対し、回路機能の電気的特性を試験する場合には、各チップに形成されている電極にプローブ針を接触させ、各プローブ針が配線引回しのためのプローブカードを介して試験装置に電気的に接続される。半導体チップ表面の電極にプローブ針を接触させ、このプローブ針を通して試験装置からの信号の入出力、電源電圧の供給を行い、プローブ針を順次移動させて電子回路の電気的特性を試験する。

【0003】

プローブカードについては、例えば、特開2000-304770号公報に、プリント基板上の一部にビルドアップ配線層を形成し、配線層の最表面に複数のプローブ針を形成したプローブカードが開示されている。このプローブカードにおいては、ビルドアップ工法によって微細な配線引回しが可能となり、プローブ針を高密度に形成することが可能となる。

【0004】

また、特開平10-132855号公報には、多層配線基板に検査対象のICチップと電気的接続を行うためのプローブ部品と共に、検査対象のICチップと電気回路を構成し得るインダクタ、キャパシタ、抵抗等のチップ部品を背面に搭載したプローブカードが開示されている。ICチップの検査時に、このプローブカードを用いて試験装置と電気的接続を行うと、プローブカードに搭載されたチップ部品がICチップの回路と接続された状態となるため、実際の使用状態に近い状態で検査することができ、ICチップの電気特性試験を行う際の測定精度を向上することができる。

【0005】

近年の多端子で高速な半導体チップの試験には、プローブ針を高密度に形成するという要件や、プローブ針の直近に高周波ノイズを低減するためのデカップリングキャパシタを配置するという要件を満足するプローブカードが求められている。

【0006】

一方、動作周波数が1GHzを超えるような高速動作する半導体パッケージでは、半導体チップとキャパシタをビルドアップ基板を介して両側に実装する構造が実用化されており、この際、半導体チップとキャパシタの間のインダクタンスを低減する目的で極力薄い、例えば、1mm以下の、ビルドアップ基板が用いられる。

【0007】

さらに、「日経マイクロデバイス」2001年12月号178頁には、究極の薄型ビルドアップ配線層として、固定したLSIチップ上にビルドアップ配線層を形成する方式(Bumpless Build-Up Layer: BBUL)が提案され、ビルドアップ配線層の最表面にデカップリングキャパシタを形成し、ビルドアップ配線層を介してLSIチップの電極に接続させた構造が開示されている。

上記したような高速動作の半導体チップでは、直近にデカップリングキャパシタが実装されて初めて正常な高速動作が可能となるものである。従って、高速動作性能を検査するた

めには、実装後と同様に、半導体チップ直近にデカップリングキャパシタが配置された状態で試験を行う必要がある。

【0008】

【特許文献1】特開平9-219587号公報

【特許文献2】特開平8-78283号公報

【特許文献3】特開2002-83892号公報

【特許文献4】特開2000-216051号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、従来のプローブカードではこのような要求を満足できるものはなかった。例えば、特開2000-304770号公報に示されたような、ビルドアップ配線層の最表面にプローブ針を形成したプローブカードの場合、プローブ針を高密度に配置できるのでチップの多端子化に対応できる。しかしながら、プローブ針と半導体ウェハとの隙間は僅かに数ミリと狭いことから、デカップリングキャパシタを半導体チップの直近に配置しようとする、特開平10-132855号公報に示された構成のように、プローブカードの背面に配置することになってしまう。高速で端子数の多い半導体チップを試験するためのプローブカードは、配線が複雑になることや、複数のプローブ針の先端位置を揃えるために剛性が必要なことから、3～5mm程度の厚さのものが用いられる。

【0010】

また、特開平10-132855号公報に示された構成では、多層配線基板の背面に形成されたチップ部品であるキャパシタ部品と検査対象ICチップの電極との間の配線長は6mm程度であり、半導体チップの高速動作時の試験を行う際に、この配線自体のインダクタンスが問題となってしまふ。この構成のプローブカードを用いて高速動作の半導体チップを試験する場合、プローブカード側のキャパシタ部品が高速動作時の高周波ノイズを抑制する働きを十分発揮できない。

【0011】

また近年、マイクロプロセッサをはじめとするLSIなどの半導体装置の高速化と低消費電力化により、例えば半導体装置の負荷インピーダンスが急激に変動した場合に電源電圧の変動を抑え、スイッチングノイズを減少させて高速動作デジタル半導体装置の高周波領域での動作を安定させる必要が生じている。

【0012】

このような要求から、従来、半導体装置近傍にデカップリングキャパシタを設置して、スイッチングノイズなどの高周波ノイズを低減させる方法がとられてきた。

【0013】

しかしこの場合、デカップリングキャパシタから半導体装置まで、例えばワイヤなどの配線が必要となるため、当該配線によって発生するインダクタンスの影響によってキャパシタによる高周波ノイズ低減の効果が小さくなってしまふ場合があった。

【0014】

そのため、キャパシタ設置の際のインダクタンスを低減するために、インターポーザー型のキャパシタを半導体装置の直下に設けて、キャパシタから半導体装置までの配線経路を短縮する方法がある。

【0015】

図1(A)、(B)は、インターポーザー型のキャパシタを有する半導体装置の構成を示した例である。

【0016】

図1(A)を参照するに、半導体装置100は、半導体装置本体101にバンプ103によってインターポーザー型のキャパシタ102が接続された構造を有している。さらに、前記キャパシタ102はバンプ103によってパッケージ基板104に接続され、前記パッケージ基板104はバンプ106によって回路配線基板に接続される構成となってい

る。

#### 【0017】

このように、インターポーザー型のキャパシタを用いることで、半導体装置からキャパシタまでの配線経路を短くすることが可能となり、キャパシタによる高周波ノイズの除去を効果的に行う事が可能な構造となっている。

#### 【0018】

また、図1(A)に示す半導体装置100は、図1(B)に示すように変更することも可能である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0019】

図1(B)を参照するに、図1(B)に示す半導体装置100Aでは、パッケージ基板104Aに凹部を形成して当該凹部にインターポーザー型のインシュレーター102Aを収納する構造となっている。そのため、前記半導体装置本体101をパッケージ基板104Aに設置した場合の高さを低く抑えることが可能となっている。

#### 【0020】

前述したようなインターポーザー型のキャパシタは、例えばシリコン基板のような平滑性がある基板上に形成される。

#### 【0021】

図2(A)～(D)には、インターポーザー型キャパシタを形成する例を示す。

#### 【0022】

図2(A)を参照するに、インターポーザー型キャパシタは、図2(A)に示す、例えばシリコン基板201上に形成される。

#### 【0023】

次に、図2(B)の工程において下部電極202が形成され、図2(C)の工程において誘電体材料203が、さらに図2(D)の工程において上部電極204が形成されてキャパシタを形成する。

#### 【0024】

しかし、前記したようなインターポーザー型のキャパシタを用いる場合は、図2Dに示す構造に対して、前記半導体装置本体101から前記パッケージ基板104への配線を形成するために、シリコン基板201を貫通するスルービアを形成しなければならず、そのため、製造コストがかかる問題が生じる。さらに、半導体集積回路を含む半導体装置本体101から、 bumps によって配線の接続を行う回数が増加するため、構造が複雑化して信頼性に問題が生じる場合があった。

#### 【0025】

さらに、図1(A)に示す場合のように、半導体装置本体101の実装時にキャパシタ102の分だけ厚みが加わり、半導体装置100の実装サイズが大きくなってしまいう問題があった。

#### 【0026】

また、図1(B)に示す半導体装置100Aの場合でも、前記キャパシタ102Aを収納する空間を確保するために、前記パッケージ基板104Aを加工する必要があるため、構造が複雑化してしまう問題が生じていた。

#### 【0027】

そこで本発明は上記の問題点を解決した新規で有用なプローブカード、及び半導体チップの試験方法、キャパシタを提供することを概括的課題とする。

#### 【0028】

本発明のより具体的な課題は、プローブ針の高密度形成が可能であり、電源ノイズを低減するためのデカップリングキャパシタをプローブ針の直近に配置可能である、多端子で高速な半導体チップの試験のために好適なプローブカードを提供することにある。

#### 【0029】

本発明の他の課題は、単純な構造で半導体装置に実装が可能であり、さらに実装した場



合の半導体装置のサイズを小さく抑えることが可能なデカップリングキャパシタ、当該デカップリングキャパシタの製造方法および当該デカップリングキャパシタを実装した半導体装置を提供することにある。

【課題を解決するための手段】

【0030】

本発明は上記の課題を、検査対象の半導体チップの電極に各々接触するよう形成された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層と、前記半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタとを備えるプローブカードにおいて、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタが前記ビルドアップ配線層内の絶縁樹脂層に埋設してあることを特徴とするプローブカードにより、解決する。

【0031】

上記本発明において前記多層配線構造は、所謂ビルドアップ工法や、別々に形成した配線層を導電性接着剤などを用いて一括積層する工法などが利用できる。

【0032】

上記の解決手段において、キャパシタの厚さは、多層配線の絶縁膜一層分の厚さと概略同等か、それ以下であることがプローブカードの設計、製造を容易ならしめるために望ましい。

【0033】

また、多層配線の絶縁膜一層分の厚さと概略同等か、それ以下である薄膜キャパシタ部品は、例えば、部品の厚さよりも厚いシリコンウエハの一方の面上に、金属酸化物膜が導伝体層に挟まれてなるキャパシタを形成し、その後もう一方の面を背面研磨することで形成できる。このタイプのキャパシタは、電源側電極と接地側電極が同一の面に形成されるため、ビルドアップ工法で埋設する場合に有用である。一方、一括積層工法の場合は、電源側電極と接地側電極が異なる面に形成されたキャパシタが有用である。

【0034】

また、キャパシタは、プローブ針の直下に埋設されていることが望ましい。異なる電源電圧を利用するLSIの場合、複数の電源線に接続された複数の薄膜キャパシタ部品を埋設することができる。

【0035】

本発明はさらに上記の課題を、薄膜キャパシタを内蔵し、半導体チップと該薄膜キャパシタ間のインピーダンスが所定値に設定してある半導体パッケージに用いる半導体チップに対し、パッケージング前にその電氣的特性を試験する半導体チップの試験方法において、プローブカードとして、前記半導体チップの電極に各々接触するよう配設された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記複数のプローブ針が最表面に形成され、各プローブ針と当該配線とが接続してあるビルドアップ配線層と、キャパシタとを備え、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタを前記ビルドアップ配線層内の絶縁樹脂層に埋設させたプローブカードを、前記半導体チップに接触させ、前記プローブ針を介して電氣的に接続する手順と、前記プローブ針と前記キャパシタの間のインピーダンスを前記半導体パッケージの前記インピーダンスの所定値とほぼ等しい値に予め設定しておく手順とを有することを特徴とする半導体チップの試験方法により解決する。

【0036】

上記本発明においては、キャパシタ部品を内蔵し半導体チップとキャパシタ間のインピーダンスが所定の値 ( $Z_p$ ) である半導体パッケージに用いる半導体チップに対して、パッケージング前にプローブカードを用いて試験する場合、高速動作性能を検査する上で、かつプローブ針と多層配線構造中に埋設されたキャパシタとの間のインピーダンスを前記半導体パッケージの前記所定値 ( $Z_p$ ) と略等しい値に設定しておくことが望ましい。上記のLSIチップの試験は、チップのダイシング後であっても、ダイシング前のウエハ状

態であっても実施可能である。

#### 【0037】

上記のような構成のプロープカードによれば、検査対象となるLSIチップとプロープカード側のデカップリングキャパシタを近接して配置することができるので、LSIチップとキャパシタの間のインダクタンスを低減できLSIチップの高速動作試験が可能となる。また、LSIチップとキャパシタの間のインピーダンスを、実際のパッケージ実装状態に近い値に設定できるので、実使用状態における高速動作性能を試験することができる。

#### 【0038】

本発明はさらに上記の課題を、誘電体膜と、前記誘電体膜の第1の主面上に形成された第1の電極膜と、前記誘電体膜の第2の主面上に形成された第2の電極膜と、前記第1の電極膜から、前記誘電体膜と前記第1および第2の電極膜とよりなる積層構造体の第1の側に引き出された第1の配線部と、前記第2の電極膜から、前記積層構造体の前記第1の側に引き出された第2の配線部とよりなり、前記積層構造体の第2の側には樹脂層が形成されていることを特徴とするキャパシタにより、解決する。

#### 【0039】

また本発明は上記の課題を、キャパシタと、前記キャパシタが実装された半導体チップとよりなる半導体装置であって、前記キャパシタは、誘電体膜と、前記誘電体膜の第1の主面上に形成された第1の電極膜と、前記誘電体膜の第2の主面上に形成された第2の電極膜と、前記第1の電極膜から、前記誘電体膜と前記第1および第2の電極膜とよりなる積層構造体の第1の側に引き出された第1の配線部と、前記第2の電極膜から、前記積層構造体の前記第1の側に引き出された第2の配線部とよりなり、前記積層構造体の第2の側には樹脂層が形成されており、前記キャパシタは前記半導体チップの第1の側において、前記第1および第2の配線部を、前記半導体チップ表面に形成された第1および第2の電極パッドに接続された状態で実装されることを特徴とする半導体装置により、解決する。

#### 【0040】

本発明によれば、積層構造体を有するキャパシタの第1および第2の配線部が、それぞれ前記第1および第2の電極膜から同一の側に引き出されるので、キャパシタを表面実装技術により、例えば半導体チップの表面に、容易に実装することが可能になる。本発明のキャパシタでは前記第1および第2の配線部が同一の側に引き出されるため、これらの配線部を異なった側に引き出す構成に比べて、配線部まで含めた全体の厚さを減少させることができ、例えば半導体チップが配線基板上に表面実装されている場合であっても、配線基板と半導体チップとの隙間を使って実装することが可能である。その際、本発明では薄い積層構造体を樹脂層で支持することになり、必要なキャパシタンスに対応して前記積層構造のサイズを例えば $2\text{ mm}^2$ 以上の面積を有するように形成した場合でも、キャパシタがハンドリング等の際に破損することがない。

#### 【0041】

さらに本発明は上記の課題を、基板上に樹脂よりなる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の電極を形成する工程と、前記第1の電極上に誘電体膜を形成する工程と、前記誘電体膜上に第2の電極膜を形成する工程と、前記第2の電極膜上に第2の絶縁膜を形成する工程と、前記基板をエッチングして除去し、前記基板上に形成された前記第1の絶縁膜を露出させる工程を含むことを特徴とするキャパシタの製造方法により、解決する。

#### 【0042】

本発明によれば、キャパシタを構成する積層構造体の形成の際に使われるシリコンなどの基板が、キャパシタ形成後に除去される。そのため、基板上にキャパシタを形成する場合にくらべて、積層構造体を薄く形成することが可能である。その際、前記第1の電極およびその上の誘電体膜は樹脂膜により支持されることになり、ハンドリングなどの際の破損を回避することができる。

#### 【発明の効果】

## 【0043】

以上説明したように、本発明のプロブカードによれば、検査対象となるLSIチップとプロブカード側のデカップリングキャパシタを近接して配置することができるので、LSIチップとキャパシタ間のインダクタンスを低減でき、LSIチップの高速動作試験が可能となる。また、LSIチップとキャパシタ間のインピーダンスを、実際のパッケージ実装状態に近い値に設定できるので、実使用状態における高速動作性能を試験することができる。さらに、本発明の半導体チップ試験方法による試験は、半導体チップのダイシング後であっても、ダイシング前のウェハ状態であっても実施可能である。

## 【0044】

さらに本発明によれば、キャパシタ形成後に基板を除去することにより非常に薄いキャパシタを形成できる。このようなキャパシタは半導体チップをパッケージ基板等に実装する際に、隙間など空間を利用して実装することが可能になる。

【発明を実施するための最良の形態】

## 【0045】

以下、本発明の実施の形態を添付の図面を参照しながら具体的に説明する。

## [第1実施例]

図3に、本発明のプロブカード10の基本的構成を示す。

## 【0046】

図3を参照するに、プロブカード10は、コア層12と、コア層12上に形成され、複数の配線を含むビルドアップ配線層14と、ビルドアップ配線層14の最表面に取り付けられ、ビルドアップ配線層14の当該配線と各々電氣的に接続させた複数のプロブ針16と、ビルドアップ配線層14内に搭載された薄膜キャパシタ20とから構成される。プロブカード10は、プロブ針16近傍のビルドアップ配線層14の配線がインナービアを含む多層配線構造を有すると共に、薄膜キャパシタ20がビルドアップ配線層14内の絶縁樹脂層中に埋設してあることを特徴とする。

## 【0047】

図4は、半導体チップを本発明の一実施例であるプロブカード10を使って検査する様子を示す断面図である。

## 【0048】

図4を参照するに、図示の例では前記プロブカード10は、ウェハチャック40に載置されたLSIチップ30の電氣的特性の試験を行うウェハプローバ（図示なし）に用いられる。このLSIチップ30は、ウェハ上に多数形成された半導体チップの1つであってもよい。この場合、各半導体チップに形成されている電極にプロブカード10のプロブ針16を接触させ、このプロブ針16を通して試験装置からの信号の入出力、電源電圧の供給を行い、プロブ針16を順次移動させて半導体チップ内の回路の電氣的特性を試験する。

## 【0049】

この実施例のプロブカード10において、コア層12は、スルーホール部13をエポキシ樹脂で埋めた4層ガラスエポキシ板で形成されている。このコア層12の両側にビルドアップ配線層14が形成されている。

## 【0050】

ビルドアップ配線層14は、4層の多層配線板で構成されており、各層の厚さは45 $\mu$ m程度であり、厚さ30 $\mu$ mの薄膜キャパシタ20が、最表面側から数えて3層目の配線と4層目の配線の間の樹脂絶縁層中に埋め込まれている。薄膜キャパシタ20の接地側と電源側の電極端子は各々接地ライン17と電源ライン18に接続されている。

## 【0051】

上記実施例のプロブカード10では、薄膜キャパシタ20が1個のみ示されているが、この実施例に限られるものではない。例えば、異なる電源電圧を利用するLSIの場合、複数の電源配線に接続された複数の薄膜キャパシタ20をビルドアップ配線層14内に埋設することができ、各キャパシタを異なる電源電圧の電源配線に接続してもよい。

## 【0052】

また、図4のプロブカード10においては、複数のプロブ針16が、ビルドアップ配線層14の最表層に露出させた電極の上面にそれぞれ半田付けされている。各プロブ針16の先端部はLSIチップ30の電極パッド32に対して概略垂直に接触するように屈折されている。LSIチップ30の電気的特性を試験する際には、これらプロブ針16をLSIチップ30の各電極パッド32に接触させる。

## 【0053】

図5に、本発明のプロブカードに用いられる薄膜キャパシタ20の構造を示す。上述のように、本発明の薄膜キャパシタ20は、多端子で高速な半導体チップが高速動作する際に高周波ノイズを低減するデカップリングキャパシタとして機能する。

## 【0054】

図5に示したように、シリコン基板22上に、BaSrTiO<sub>3</sub>等の高誘電体（high-K）材料で形成した誘電体層24を間に挟み込んで形成された上部電極層25及び下部電極層24を有するキャパシタが形成されている。このキャパシタの電極には白金（Pt）が用いられ、シリコン基板22は、キャパシタを形成後、背面22a側が研磨されている。この薄膜キャパシタ20の厚さは、シリコン基板22及び電極端子27、28を含めて30μm以下である。

## 【0055】

図6は、図5の薄膜キャパシタ20の作製方法を説明する図である。

## 【0056】

図6（A）を参照するに、本実施例では薄膜キャパシタ20の支持基板としてシリコン基板22を用いる。支持基板にシリコンを使用することで、背面研磨による薄型化が容易である。シリコンは20μm程度に薄く研磨しても割れにくいため、本発明に係る薄膜キャパシタ20の支持基板として好適である。

## 【0057】

さらに図6（B）～（D）に示したように、シリコン基板22上に、下部電極層23、誘電体層24、上部電極層25の薄膜を順次成膜する。この実施例では、厚さ0.3mmのSiO<sub>2</sub>熱酸化膜が形成されたシリコン基板22を用い、まず、このシリコン基板22上に下部電極材料としてTiO<sub>2</sub>（0.05μm）／Pt（0.1μm）をスパッタリング法により成膜を行う。次に、同一真空系内で、高誘電体材料（Ba、Sr）TiO<sub>3</sub>（以下、BSTという）をスパッタリング法により成膜する。さらに、その上に、Pt（0.1μm）をスパッタリング法により成膜してある。

## 【0058】

本発明に係る薄膜キャパシタ20の、誘電体層24を構成する誘電体酸化物として好適な構成材料としては、ストロンチウム（Sr）、バリウム（Ba）、鉛（Pb）、ズ（Zr）、ビスマス（Bi）、タンタル（Ta）、チタン（Ti）、マグネシウム（Mg）、ニオブ（Nb）等の中、少なくとも1つの元素を含む複合酸化物を適用することができる。薄膜キャパシタ20の誘電体層24に好適な誘電体酸化物として、上記実施例の（Ba、Sr）TiO<sub>3</sub>の他、例えば、Pb（Zr、Ti）O<sub>3</sub>、Pb（Mg、Nb）O<sub>3</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、Ta<sub>2</sub>O<sub>5</sub>等を挙げることができる。

## 【0059】

また、本発明に係る薄膜キャパシタ20において、誘電体層24を間に挟み込んで形成される上部電極層25及び下部電極層23に好適な構成材料として、白金（Pt）、金（Au）、銅（Cu）、鉛（Pb）、ルテニウム（Ru）、ルテニウム酸化物、イリジウム（Ir）、イリジウム酸化物、クロム（Cr）等の中、少なくとも1つ以上の金属元素又は金属酸化物を含有するものを適用することができる。

## 【0060】

次に、図6（E）に示したように、フォトリソグラフィ法により、上部電極層25および誘電体層24の開口部をパターンニングする。さらに、Arイオンミリングを使用して、Pt、BSTの一括ドライエッチングを行う。

## 【0061】

次に、図6 (F), (G) に示したように、ポリイミド絶縁層26を成膜して、Cr膜 $0.05\mu\text{m}$ 、Cu膜 $1\mu\text{m}$ 、Au膜 $10\mu\text{m}$ を順次積層して電極端子27、28を形成する。

## 【0062】

その後、シリコン基板22の背面22aを研磨して、薄膜キャパシタ20のシリコン基板22と電極端子27、28を含む厚さを $30\mu\text{m}$ まで薄型化させる。

## 【0063】

このようにして作製された薄膜キャパシタ20を適用することによって、薄膜キャパシタを内蔵した本発明のプロブカード10を作製することができる。より具体的には、図4に示したように、薄膜キャパシタ20の電極端子27、28とビルドアップ配線層14の配線（接地ライン17や電源ライン18）を接続することにより図3あるいは図4のプロブカード10が完成する。

## 【0064】

次に、図4のプロブカード10を作製する際に用いられる、ビルドアップ配線層内にキャパシタを埋設するビルドアップ層形成工程の一例について説明する。

## 【0065】

図7は、ビルドアップ層形成工程における薄膜キャパシタを埋設する形成方法を説明する図、図8は、図7に示した薄膜キャパシタを埋設する場合のビルドアップ層形成工程を説明するためのフローチャートである。

## 【0066】

ビルドアップ配線層14の多層配線構造は、図8のステップS2～S7を繰り返すことにより各配線層が積み上げられて形成される。

## 【0067】

まず、図8のステップS1において、コア層12、もしくは先に形成されたビルドアップ配線層14の絶縁層14-1上の所望の位置に、薄膜キャパシタ20のチップを接着剤で貼り付ける（図3の(a)参照）。ここでは、絶縁層14-1上には、配線層14-1aが先に電解銅めっきにより形成されていると仮定する。

## 【0068】

ステップS2において、半硬化状態のエポキシ樹脂フィルムをコア層12、もしくは先に形成されたビルドアップ配線層14の絶縁層14-1上にラミネートする。このとき、薄膜キャパシタ20上に絶縁樹脂層14-2が形成される。

## 【0069】

ステップS3において、炭酸ガスレーザ光によって層間接続用のビア孔を形成する（図7 (B) 参照）。図7 (B) に示したように、ステップS2で形成された絶縁樹脂層14-2に炭酸ガスレーザを照射して、ビア孔14-2bを形成する。同様に、薄膜キャパシタ20上面の絶縁樹脂層14-2に炭酸ガスレーザを照射して、接地ライン17、電源ライン18を形成するための孔17b、孔18bを形成する。

## 【0070】

ステップS4において、絶縁樹脂層14-2の表面に薄い無電解銅（Cu）層（シード層）を形成する。このシード層形成の前に、銅めっきの密着性向上のため、絶縁樹脂層14-2の表面を粗面化しておくといよい。

## 【0071】

ステップS5において、絶縁樹脂層14-2全体にレジスト膜を形成後、露光、現像によって配線並びにビア孔部分を除去したパターンを形成する。

## 【0072】

ステップS6において、銅（Cu）の電解めっきによって、ビア孔充填ならびに配線を形成する。このとき、図7 (C) に示したように、銅めっきによってインナービア14-2c、接地ライン17及び電源ライン18が形成される。

## 【0073】

ステップ S7 において、シード層をエッチングする。このとき、図 7 (C) に示したように、絶縁樹脂層 14-2 上の配線層 14-2a が形成される。

#### 【0074】

さらに、配線層を積み上げる場合には、図 8 の各ステップ S2 ~ S7 を同様に繰り返して実施すればよい。このようにして、容易に薄膜キャパシタ 20 を埋め込んだビルドアップ配線層 14 を形成することができる。その際、プローブ針 16 をこのようにして形成されたインナービア 14-2c 上あるいはその近傍に形成することにより、図 4 に示した構成が得られる。

#### 【0075】

以上に説明したプローブカード 10 は、デカップリングキャパシタとプローブ針との間のインダクタンスを、キャパシタを基板の背面に搭載する従来の構造に比べて  $1/5 \sim 1/10$  に低減することが可能である。この結果、LSI チップを 1 GHz 以上の動作周波数で高速動作試験する場合においても、電源ノイズの発生を抑制することができるため、検査精度を向上させることができる。

#### 【0076】

なお、上記実施例においてインナービアを有する多層配線構造はビルドアップ工法によって形成されているが、一括積層工法で形成することも可能である。また、図 7 には、電源側電極と接地側電極とが同一面に形成された構造が示されているが、各々の電極が裏面に形成されたキャパシタを用いることも可能である。この場合、キャパシタを貼り付ける際、キャパシタの電極に対応する位置に電源または接地に繋がる配線を形成しておき、導電性接着材などを用いて貼り付けることで電氣的な接続が可能である。

#### 【第 2 実施例】

図 9 は、本発明第 2 実施例による、キャパシタを実装した半導体装置 110 の概略図である。

#### 【0077】

図 9 を参照するに、半導体装置 110 は、内部に半導体素子を有する半導体装置チップ 111 および当該半導体素子に電氣的に接続されるキャパシタ 120 からなる。

#### 【0078】

図示の例では前記半導体装置チップ 111 は、バンパ 113 によりパッケージ基板 112 に固定される。また、前記バンパ 113 が前記半導体装置本体 111 に形成された電極パッド 114 および前記パッケージ基板 112 上に形成された電極パッド 115 と接触することによって、前記半導体チップ 111 内部の半導体素子から前記パッケージ基板 112 へ電氣的な接続がなされる。

#### 【0079】

本実施例によるキャパシタ 120 は、前記パッケージ基板 112 から前記半導体チップ 111 の間に形成される空間に収納される厚さで形成されている。すなわち、バンパ高さ、もしくは前記パッケージ基板 112 から前記半導体チップ 111 までの高さ X1 より前記キャパシタ 120 の厚さが小さいために、このように前記キャパシタ 120 を設置することが可能となっている。

#### 【0080】

次に、前記キャパシタ 120 の詳細を図 10 に示す。図 10 には図 9 に示した、半導体チップ 111 に取り付けられたキャパシタ 120 の拡大断面図を示してある。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0081】

図 10 を参照するに、前記キャパシタ 120 は先に図 6 (G) で説明した構成と同様な構成を有しており、例えばポリイミド樹脂からなる下部絶縁膜 121 上に、Cr/Au からなる下部電極膜 122 が形成され、さらに前記下部電極膜 122 上に、Ba、Sr、Ti で構成される酸化物  $Ba_xSr_{1-x}TiO_3$  (以下文中 BST と呼ぶ) からなる誘電体膜 123 が形成される。前記誘電体膜 123 上には、Au からなる上部電極膜 124 が形成されている。さらに前記上部電極 124 上には感光性ポリイミド樹脂からなる上部絶縁膜

125が形成されている。

【0082】

前記誘電体膜123、上部電極124および上部絶縁膜125には、前記下部電極122を前記半導体チップ111内部の半導体素子に電氣的に接続する配線となる電極パッド126を挿通する穴部が形成されている。

【0083】

前記下部電極122に電氣的に接続された前記電極パッド126は前記穴部に挿通されて、さらに、前記半導体チップ111内部の半導体素子に接続されたパッド111Aに電氣的に接続される。

【0084】

同様に、前記上部電極124に電氣的に接続されたパッド127は、前記上部絶縁膜125に形成された穴に挿通されてさらに前記半導体チップ111内部の半導体素子に接続されたパッド111Bに電氣的に接続されている。

【0085】

また、後述するように、前記パッド126および127は、Au/Cuの積層構造であり、前記パッド111Aおよび111Bは、Au/Ni/Cuの積層構造となっており、実質的に同一の高さを有している。その結果、前記パッド111Aおよび111Bは前記半導体チップ111上に表面実装された場合に、前記チップ111上の対応する電極パッドと確実にコンタクトする。

【0086】

なお、前記パッド111Aまたは111Bのいずれかは、接地される構造となっており、前記キャパシタ120は、電氣的には前記半導体素子から接地部までの間に直列に挿入される構造となっている。

【0087】

本実施例による前記キャパシタ120は、下部電極122、誘電体膜123および上部電極124で形成されるキャパシタを、例えば樹脂などの薄膜化が可能な絶縁膜で挟んで保持する構造となっている。そのため、例えばSiなどの材料を基板として形成する場合に比べてキャパシタの薄膜化が可能となる。

【0088】

また、誘電率の高い前記誘電体膜123を用いているため、前記誘電体膜123を薄くすることが可能となり、前記誘電体膜123の厚さが100nmで十分なキャパシタンスが得られるため、キャパシタの薄膜化が可能になっている。

【0089】

前記キャパシタ120の場合、前記下部絶縁膜121、下部電極122、誘電体膜123、上部電極124および上部絶縁膜125の厚さを加えた、キャパシタ厚さX3を10 $\mu$ m以下で形成することが可能である。また、前記パッド126および127は、前記上部絶縁膜125を基準とした突出量が10 $\mu$ m以下になるように形成される。

【0090】

この場合、さらに前記パッド111Aおよび111Bの厚さを考慮した、前記半導体チップ111の前記パッケージ基板112に対抗する面から、前記キャパシタ120の前記下部絶縁膜121の前記パッケージ基板112に対向する面までの、取り付け高さX2は、25 $\mu$ m以下に抑えることが可能な構造になっている。

【0091】

前記パッド114、115およびバンプ113を含めたバンプ高さX1が70～80 $\mu$ m程度であるため、前記半導体チップ111と前記パッケージ基板112の間に前記キャパシタ120を収納して設置することが可能である。

【0092】

また、例えば先に図1(A)、(B)に示したインターポザー型のキャパシタに比べると、前記半導体チップ111と前記パッケージ基板112を電氣的に接続するためのキャパシタに挿通された形のスルービア形式の配線を形成する必要がないために、構造をシ



ンプルにして、キャパシタを製造するコストを低く抑えることができる。さらに前記スルービア形式の配線を用いないために、配線構造がシンプルになり、配線の信頼性が向上する。

#### 【0093】

次に、前記キャパシタ120の、前記半導体チップ111への実装方法について、図11に基づき、説明する。

#### 【0094】

図11は、前記キャパシタ120を、前記半導体チップ111へ実装する方法を示した図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0095】

図11を参照するに、前記キャパシタ120は、前記下部電極122に電氣的に接続されたパッド126を有し、当該パッド126は、例えば前記下部電極122に接触する部分はCuからなる下部パッド126Bが厚さ1 $\mu$ m、当該下部パッド126B上に、Auからなる上部パッド126Aが10 $\mu$ m形成されている。

#### 【0096】

同様に、前記上部電極124に電氣的に接続されたパッド127は、例えば前記上部電極123に接触する部分はCuからなる下部パッド127Bが形成され、当該下部パッド127B上には、Auからなる上部パッド127Aが形成された構成となっている。

#### 【0097】

また、前記パッド111Aおよび111Bは3層構造となっており、まず、前記パッド126および127に接触する面にはAuが0.2 $\mu$ m、当該Auの下にはNiが2 $\mu$ m、当該Niの下にはCuが3 $\mu$ m形成された構成となっている。

#### 【0098】

前記キャパシタ120を前記半導体装置本体111に設置する際は、図11に示すように、前記パッド126および127と、前記パッド111Aおよび111BのそれぞれAuが形成された面が一致するように、前記キャパシタ120を前記半導体装置本体111に押し付ける。そこで、Au-Au超音波接合によって、前記キャパシタ120のキャパシタと、前記半導体装置本体111の内部の半導体素子を電氣的に接続する。

#### 【0099】

図12(A)、(B)は、図11のキャパシタ120の製造工程の一部を示す。

#### 【0100】

図12(A)を参照するに、層121-125を含むキャパシタ構造がシリコン基板130上に形成されるが、前記シリコン基板130の表面にはTi/Cu積層構造を有する密着層130Aが形成されている。前記シリコン基板130上へのキャパシタの形成は、図(A)～(G)の工程と同様にして実行される。

#### 【0101】

図12(A)の構造が形成された後、本実施例では図12(B)の工程において前記シリコン基板130を、その上の密着層130A共々、ウェットエッチングにより除去する。

#### 【0102】

図12(B)の工程の結果、キャパシタ120の厚さは、前記図6(A)～(G)の工程で形成されたキャパシタよりも実質的に減少する。前記樹脂層121は数ミクロン程度の膜厚を有しており、このためキャパシタ120は薄く脆弱なBST膜123を含んでいても、樹脂層121上に安定に保持される。

#### [第3実施例]

図13は、本発明の第3実施例による半導体装置110Aの構成を示す。ただし図13中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0103】

図13を参照するに、半導体装置110Aはリードフレーム152上に前記半導体チップと同様な半導体チップ111Aを搭載しており、前記半導体チップ111A上には前記



キャパシタ 120 が図 9, 10 の場合と同様に実装されている。

【0104】

より具体的には前記半導体チップ 111 A はリードフレーム 152 のステージ部 152 A 上に保持され、モールド樹脂 153 によりシールされている。

【0105】

また前記モールド樹脂 153 はリード端子 152 B の先端部を保持しており、また前記モールド樹脂 153 は前記半導体チップ 111 A と前記リード端子 152 とを電氣的に接続するボンディングワイヤ 151 を保持している。

【0106】

このような構成の半導体装置 110 A では、前記ボンディングワイヤ 151 の最大高さ X5 がモールド樹脂 153 の厚さをおおよそ規定し、従って、前記半導体チップ 111 A 上に担持される半導体チップ 120 の接続パッドまで含めた厚さ、すなわち前記チップ上面から測った高さ X2 は、前記最大高さ X5 を超えてはならない。

【0107】

一般に前記ボンディングワイヤ 151 の最大高さ X5 は  $150\ \mu\text{m}$  程度であるが、本発明のキャパシタ 120 では前記高さ X2 を  $10\ \mu\text{m}$  以下まで低減できるため、図 12 に示すような半導体装置 110 A を構成することも可能である。

【0108】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0109】

例えば図 10 のキャパシタ 120 において前記絶縁膜 121 および 125 はポリイミド樹脂に限定されるものではなく、エポキシ樹脂、ビスマレイミド・トリアジン (BT) 樹脂、ポリテトラフルオロエチレン (PTFE) 樹脂、ベンゾソクロブテン (BCB) 樹脂、アクリル樹脂、ジアリルフタレート樹脂などを使うことが可能である。その際、前記絶縁膜 121 は、その上に厚さが  $100\ \text{nm}$  程度の薄い高誘電体膜 123 が電極 122 を介して形成されるため平坦な表面を有する必要があるが、表面の平坦度が  $5\ \text{nm}$  以下であるのが望ましい。

【0110】

また図 10 のキャパシタ 120 は、ハンドリングの観点からは  $2\ \text{mm} \times 1\ \text{mm}$  など、 $2\ \text{mm}^2$  以下の面積を有するようなサイズに形成するのが望ましい。

【0111】

(付記 1)

検査対象の半導体チップの電極に各々接触するよう形成された複数のプローブ針と、複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層と、前記半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタとを備えるプローブカードにおいて、各プローブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、かつ、前記キャパシタが前記ビルドアップ配線層内の絶縁樹脂層に埋設してあることを特徴とするプローブカード。

【0112】

(付記 2)

前記キャパシタは、前記ビルドアップ配線層の 1 つの絶縁樹脂層の厚さと略等しいか、あるいはそれ以下の厚さを有することを特徴とする付記 1 記載のプローブカード。

【0113】

(付記 3)

前記キャパシタは、支持基板としてシリコン基板を用い、前記シリコン基板の一方の面上に誘電体層を間に挟み込んで形成された上部電極及び下部電極を有する薄膜キャパシタであり、前記シリコン基板の他方の面を研磨して形成したことを特徴とする付記 1 又は 2

記載のプロブカード。

【0114】

(付記4)

前記キャパシタは、前記プロブ針直下の前記ビルドアップ配線層内に埋設されていることを特徴とする付記1記載のプロブカード。

【0115】

(付記5)

前記キャパシタは複数個埋設されており、各キャパシタが異なる電圧の電源配線に接続されることを特徴とする付記1乃至4のいずれか一項記載のプロブカード。

【0116】

(付記6)

薄膜キャパシタを内蔵し、半導体チップと該薄膜キャパシタ間のインピーダンスが所定値に設定してある半導体パッケージに用いる半導体チップに対し、パッケージング前にその電気的特性を試験する半導体チップ試験方法において、プロブカードとして、前記半導体チップの電極に各々接触するよう配設された複数のプロブ針と、複数の配線を含む多層配線構造を有し、前記複数のプロブ針が最表面に形成され、各プロブ針と当該配線とが接続してあるビルドアップ配線層と、キャパシタとを備え、各プロブ針近傍の前記ビルドアップ配線層の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタを前記ビルドアップ配線層内の絶縁樹脂層に埋設させたプロブカードを、前記半導体チップに接触させ、前記プロブ針を介して電氣的に接続する手順と、前記プロブ針と前記キャパシタの間のインピーダンスを前記半導体パッケージの前記インピーダンスの所定値とはほぼ等しい値に予め設定しておく手順とを有することを特徴とする半導体チップの試験方法。

【0117】

(付記7)

前記半導体チップがダイシング前のウェハ状態にあるときに、前記プロブカードを用いて前記半導体チップの電気的特性を試験することを特徴とする付記6記載の半導体チップの試験方法。

【0118】

(付記8)

前記キャパシタの誘電体層を構成する誘電体酸化物が、Sr、Ba、Pb、Zr、Bi、Ta、Ti、Mg、Nbの中、少なくとも1つの元素を含む複合酸化物であることを特徴とする付記1記載のプロブカード。

【0119】

(付記9)

前記キャパシタにおいて、誘電体層を間に挟み込んで形成される上部電極及び下部電極が、Pt、Au、Cu、Pb、Ru、Ru酸化物、Ir、Ir酸化物、Crの中、少なくとも1つ以上の金属元素又は金属酸化物を含有することを特徴とする付記1記載のプロブカード。

【0120】

(付記10)

前記キャパシタは、支持基板及び電極端子を含めた厚さが30  $\mu$ m以下となるよう構成したことを特徴とする付記1記載のプロブカード。

【0121】

(付記11)

前記キャパシタは、支持基板上に誘電体層を間に挟み込んで形成される上部電極及び下部電極を有する薄膜キャパシタであることを特徴とする付記1記載のプロブカード。

【0122】

(付記12) 誘電体膜と、

前記誘電体膜の第1の主面上に形成された第1の電極膜と、

前記誘電体膜の第2の主面上に形成された第2の電極膜と、  
前記第1の電極膜から、前記誘電体膜と前記第1および第2の電極膜とよりなる積層構造体の第1の側に引き出された第1の配線部と、  
前記第2の電極膜から、前記積層構造体の前記第1の側に引き出された第2の配線部とよりなり、  
前記積層構造体の第2の側には樹脂層が形成されていることを特徴とするキャパシタ。

【0123】

(付記13) 前記積層構造体の前記第1の側には別の樹脂層が形成されており、前記第1の配線部および前記第2の配線部は、前記別の樹脂層の表面において露出することを特徴とする付記12記載のキャパシタ。

【0124】

(付記14) 前記キャパシタは、前記積層構造体と前記樹脂層と前記第1および第2の配線部を含めた全体の厚さが10 $\mu$ m以下であることを特徴とする付記12または13記載のキャパシタ。

【0125】

(付記15) 前記第1および第2の配線部は、実質的に同一面上にそれぞれのコンタクトを形成することを特徴とする付記12～14のうち、いずれか一項記載のキャパシタ。

【0126】

(付記16) 前記樹脂層は、ポリイミド樹脂、エポキシ樹脂、ビスマレイミド・トリアジン(BT)樹脂、ポリテトラフルオロエチレン(PTFE)樹脂、ベンゾソクロブテン(BCB)樹脂、アクリル樹脂、ジアリルフタレート樹脂よりなる群より選ばれることを特徴とする請求項12～15のうち、いずれか一項記載のキャパシタ。

【0127】

(付記17) 前記樹脂層は、表面平坦度が5nm以下であることを特徴とする付記12～16のうち、いずれか一項記載のキャパシタ。

【0128】

(付記18) キャパシタと、  
前記キャパシタが実装された半導体チップとよりなる半導体装置であって、  
前記キャパシタは、  
誘電体膜と、  
前記誘電体膜の第1の主面上に形成された第1の電極膜と、  
前記誘電体膜の第2の主面上に形成された第2の電極膜と、  
前記第1の電極膜から、前記誘電体膜と前記第1および第2の電極膜とよりなる積層構造体の第1の側に引き出された第1の配線部と、  
前記第2の電極膜から、前記積層構造体の前記第1の側に引き出された第2の配線部とよりなり、  
前記積層構造体の第2の側には樹脂層が形成されており、  
前記キャパシタは前記半導体チップの第1の側において、前記第1および第2の配線部を、前記半導体チップ表面に形成された第1および第2の電極パッドに接続された状態で実装されることを特徴とする半導体装置。

【0129】

(付記19) 基板上に樹脂よりなる第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜上に第1の電極を形成する工程と、  
前記第1の電極上に誘電体膜を形成する工程と、  
前記誘電体膜上に第2の電極膜を形成する工程と、  
前記第2の電極膜上に第2の絶縁膜を形成する工程と、  
前記基板をエッチングして除去し、前記基板上に形成された前記第1の絶縁膜を露出させる工程を含むことを特徴とするキャパシタの製造方法。

【産業上の利用可能性】

## 【0130】

以上説明したように、本発明のプロブカードによれば、検査対象となるLSIチップとプロブカード側のデカップリングキャパシタを近接して配置することができるので、LSIチップとキャパシタ間のインダクタンスを低減でき、LSIチップの高速動作試験が可能となる。また、LSIチップとキャパシタ間のインピーダンスを、実際のパッケージ実装状態に近い値に設定できるので、実使用状態における高速動作性能を試験することができる。さらに、本発明の半導体チップ試験方法による試験は、半導体チップのダイシング後であっても、ダイシング前のウェハ状態であっても実施可能である。

## 【0131】

さらに本発明によれば、キャパシタ形成後に基板を除去することにより非常に薄いキャパシタを形成できる。このようなキャパシタは半導体チップをパッケージ基板等を実装する際に、隙間など空間を利用して実装することが可能になる。

## 【図面の簡単な説明】

## 【0132】

【図1】(A)、(B)は従来のインターポーザ型キャパシタを有する半導体装置の構成を示す図である。

【図2】(A)～(D)はインターポーザ型キャパシタを形成する工程の一部を示す図である。

【図3】本発明のプロブカードの基本構成を示す図である。

【図4】検査対象の半導体チップと本発明の第1実施例によるプロブカードを示す断面図である。

【図5】本発明のプロブカードに用いられる薄膜キャパシタの構造を示す図である。

【図6】(A)～(G)は、図5に示した、薄膜キャパシタを埋設する場合のビルドアップ層形成工程を説明する図である。

【図7】(A)～(C)ビルドアップ層形成工程における薄膜キャパシタを埋設する形成方法を説明する図である。

【図8】図7の薄膜キャパシタの作製方法を説明する図である。

【図9】本発明第2実施例による半導体装置の構成を示す図である。

【図10】図9の構成の一部を詳細に示す図である。

【図11】図9の構成における薄膜キャパシタの半導体チップへの実装工程を示す図である。

【図12】図11のキャパシタの製造工程の一部を示す図である。

【図13】本発明の第3実施例による半導体装置の構成を示す図である。

## 【符号の説明】

## 【0133】

10 プロブカード

11 支持基板

12 コア層

14 ビルドアップ配線層

16 プロブ針

17 接地ライン

18 電源ライン

20, 100, 120 薄膜キャパシタ

22, 201 シリコン基板

22a 研磨面

22, 111A, 111B, 114, 115, 126, 127 電極パッド

23, 123, 202 下部電極層

24, 123, 203 誘電体層

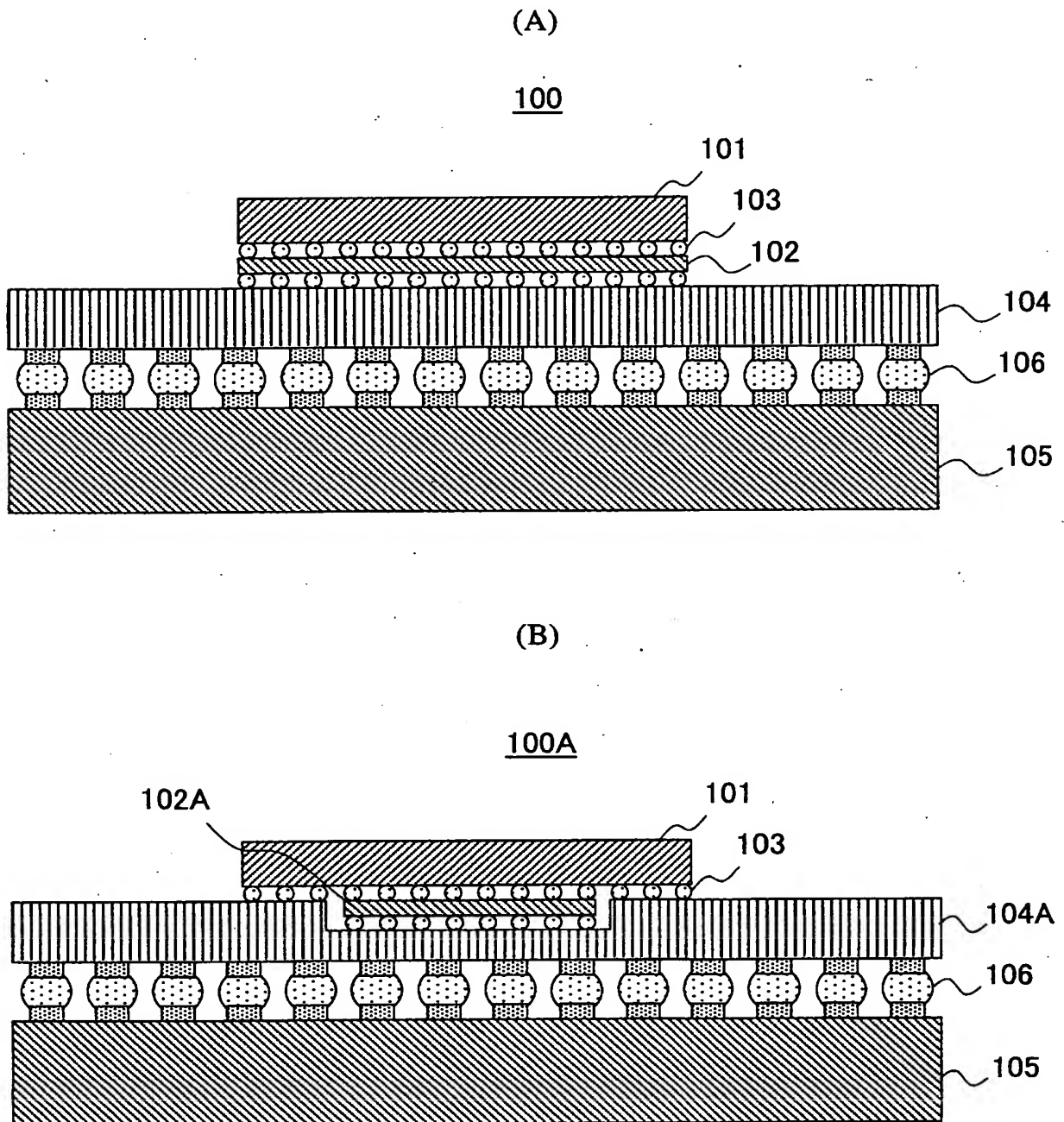
25, 124, 204 上部電極層

26, 122, 125 ポリイミド絶縁層  
 27 接地側電極端子  
 28 電源側電極端子  
 30 LSIチップ  
 32 電極パッド  
 40 ウェハチャック  
 110 半導体装置  
 111 半導体チップ  
 112 パッケージ基板  
 113 バンプ

【書類名】 図面

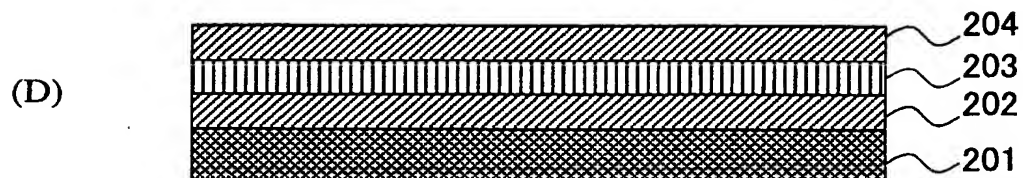
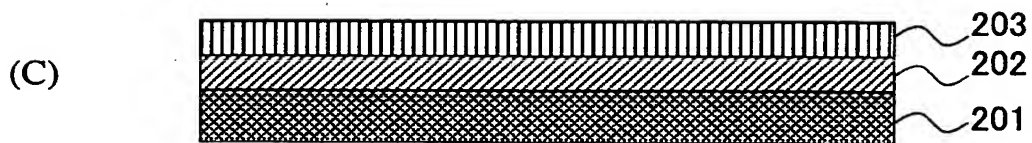
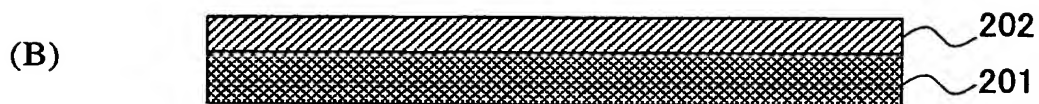
【図 1】

(A),(B)は従来のインターポザ型キャパシタを有する  
半導体装置の構成を示す図



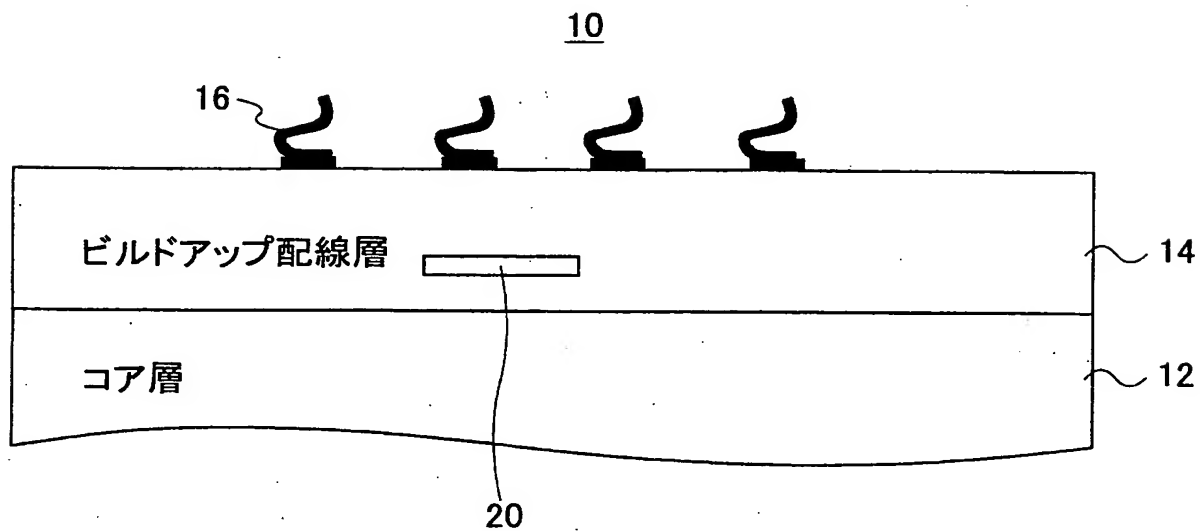
【図 2】

(A)~(D)は、インターポザ型キャパシタを形成する  
工程の一部を示す図



【図 3】

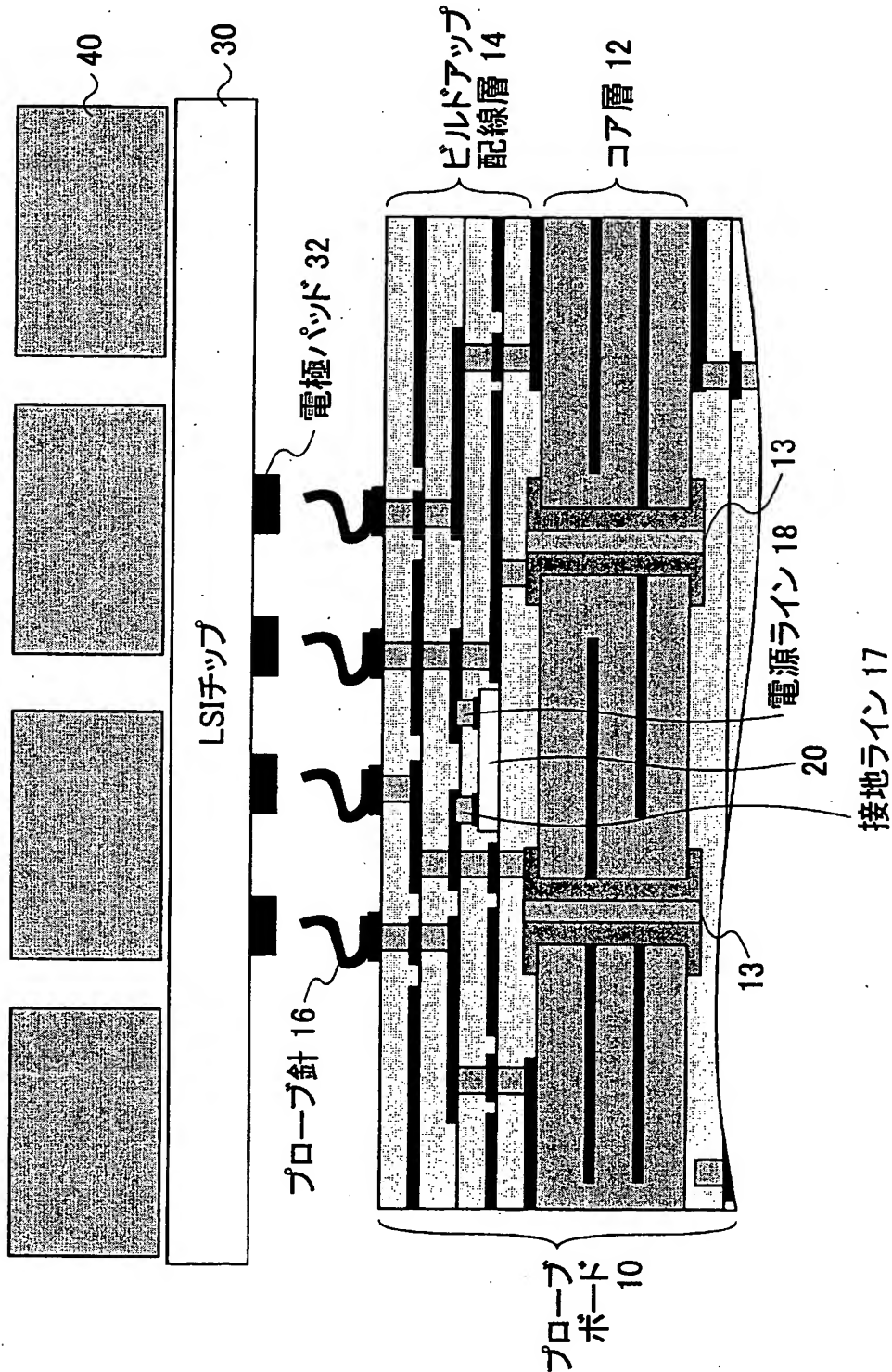
本発明のプローブカードの基本構成を示す図





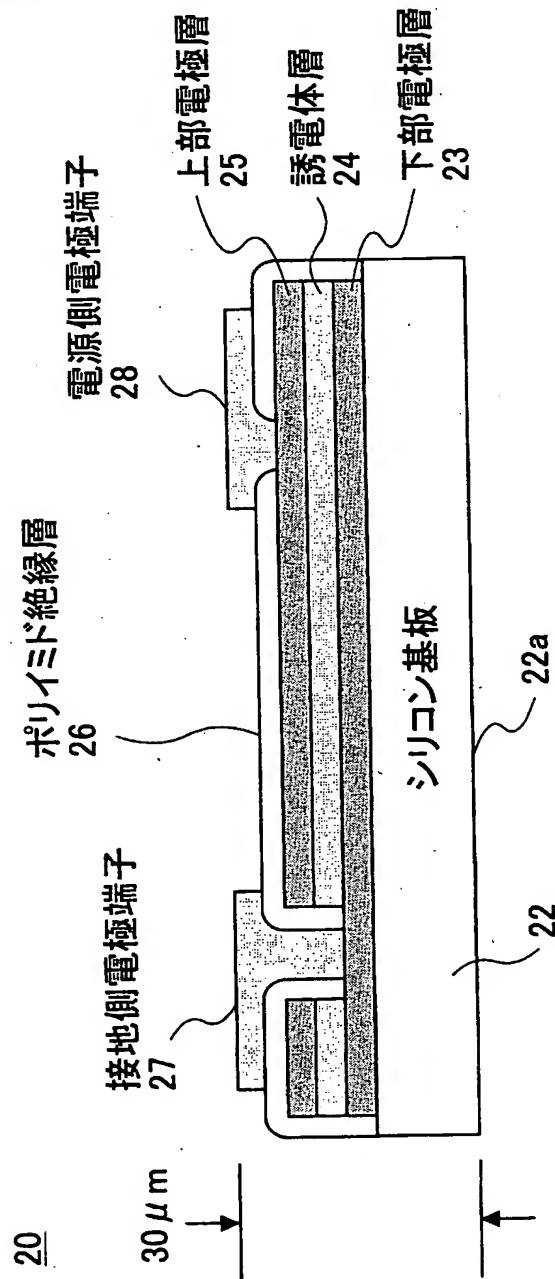
【図4】

検査対象の半導体チップと本発明の  
第1実施例によるプローブカードを示す断面図



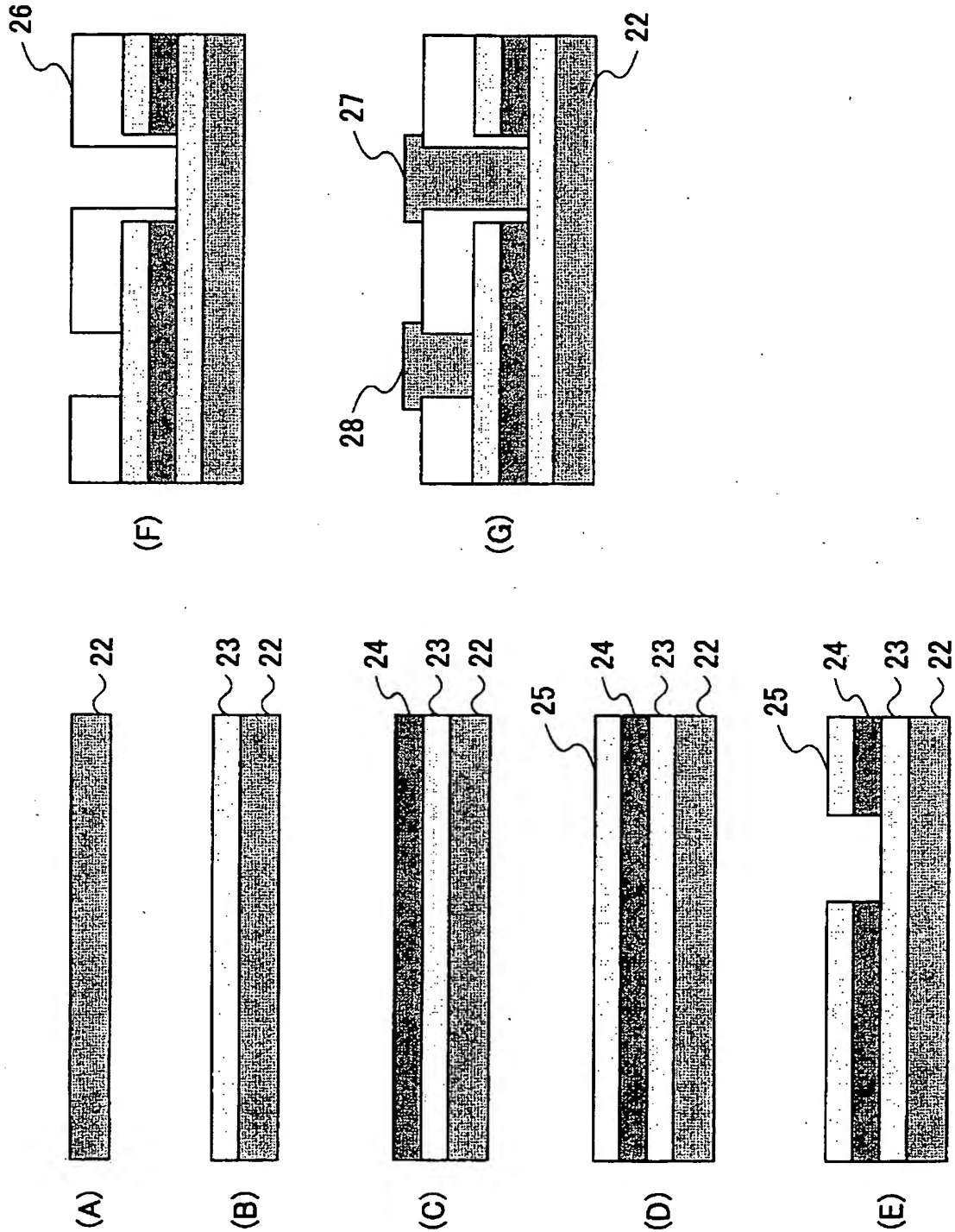
【図 5】

本発明のプローブカードに用いられる  
薄膜キャパシタの構造を示す図



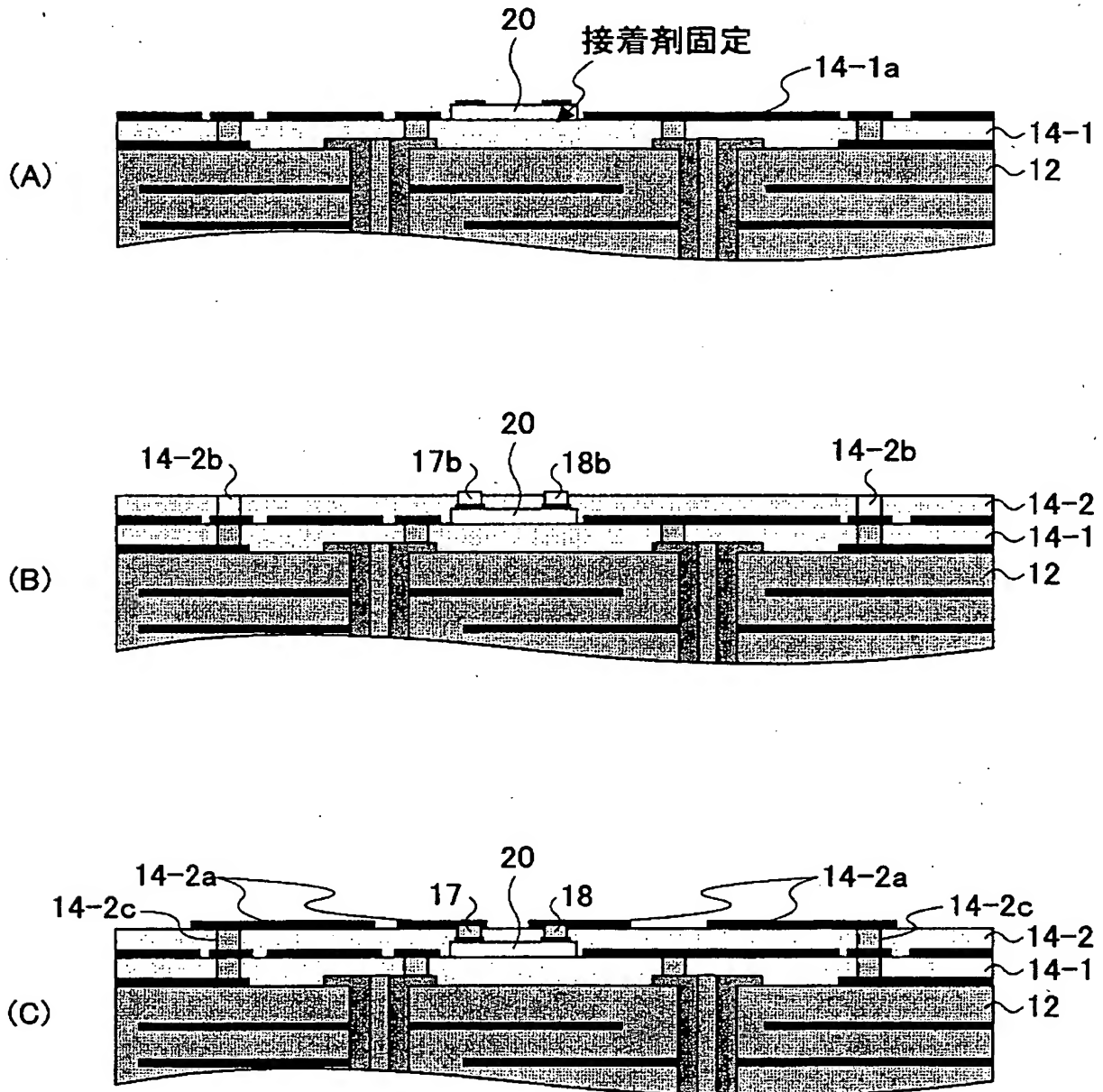
【図6】

(A)～(G)は、図5に示した、薄膜キャパシタを埋設する場合のビルドアップ層形成工程を説明するための図



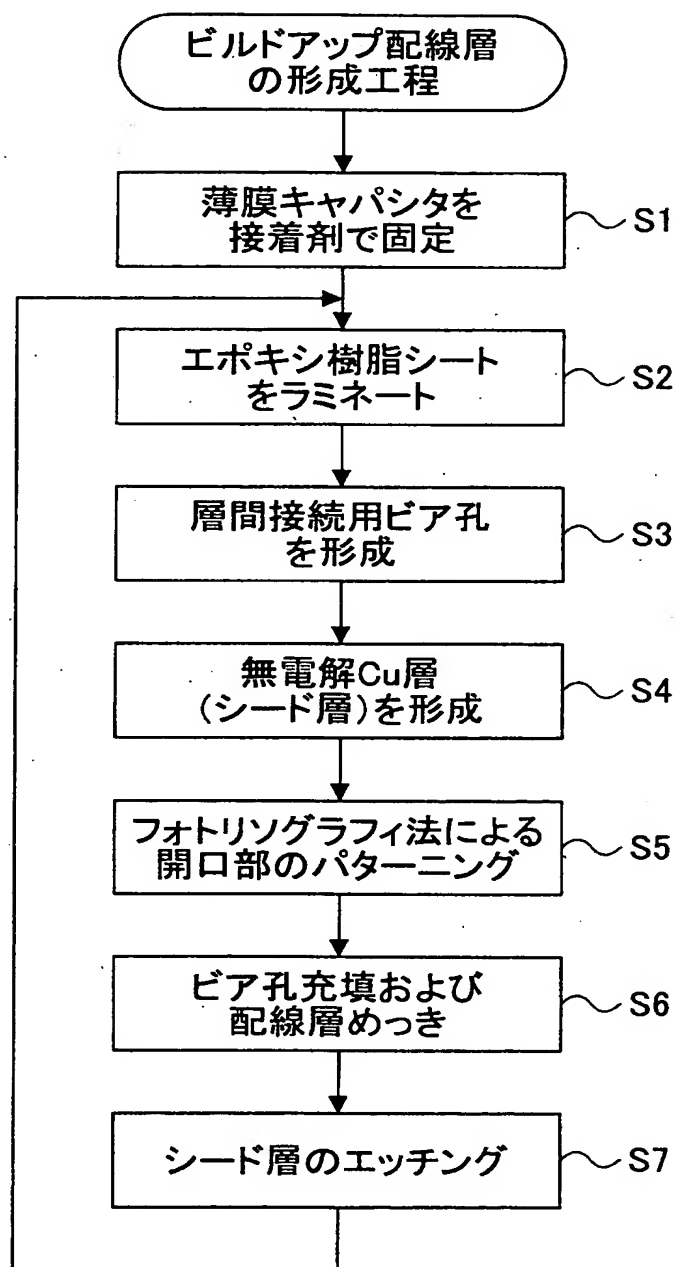
【図 7】

(A) ~ (C) は、ビルドアップ層形成工程における  
薄膜キャパシタを埋設する形成方法を説明するための図



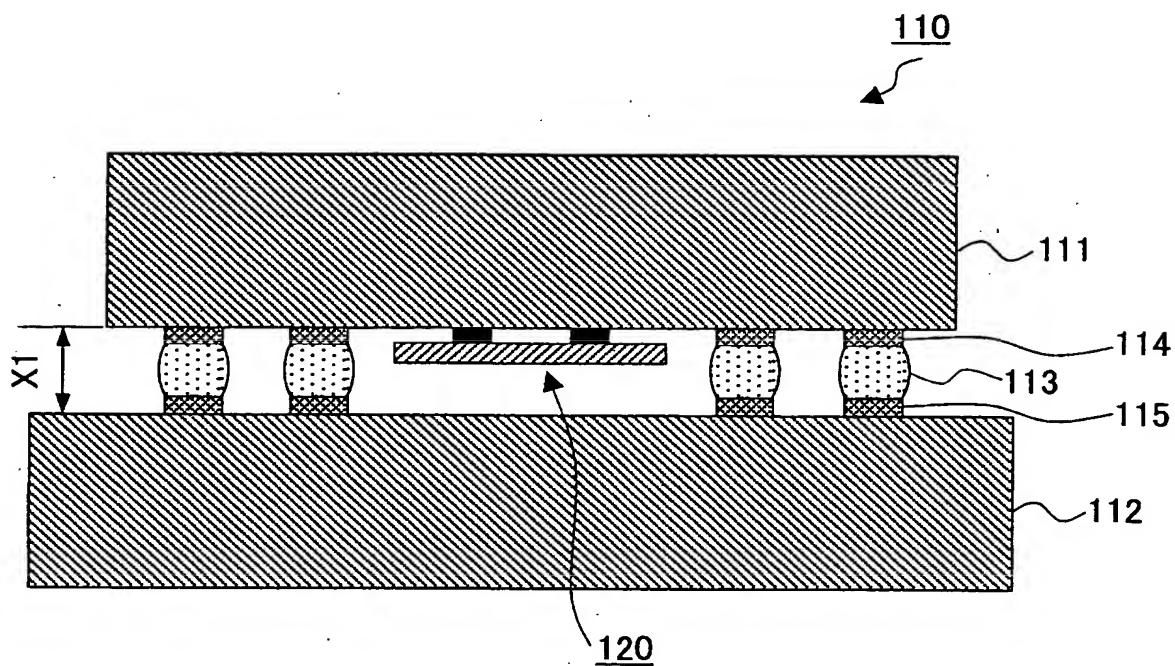
【図 8】

図 7 の薄膜キャパシタの作製方法を説明するための図



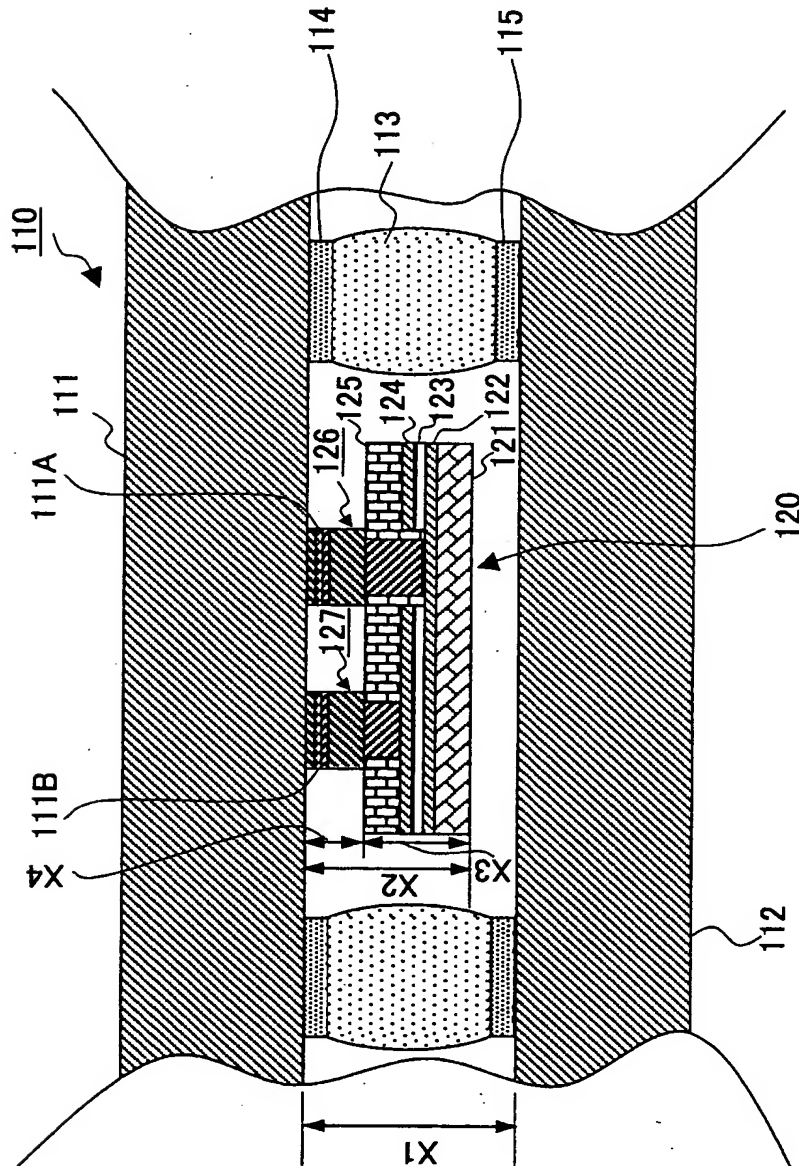
【図 9】

本発明第2実施例による半導体の構成を示す図



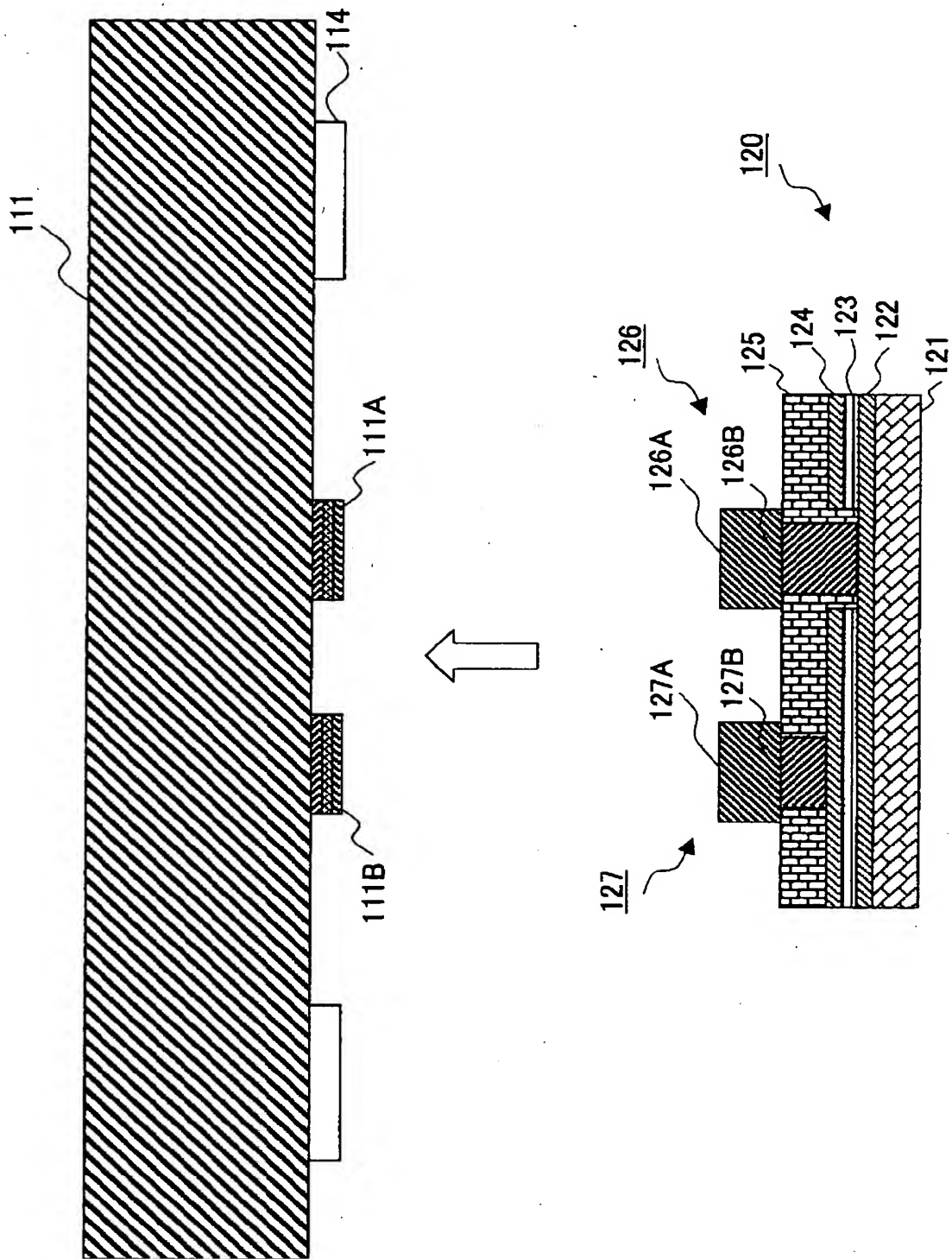
【図10】

図9の構成の一部を詳細に示す図



【図 11】

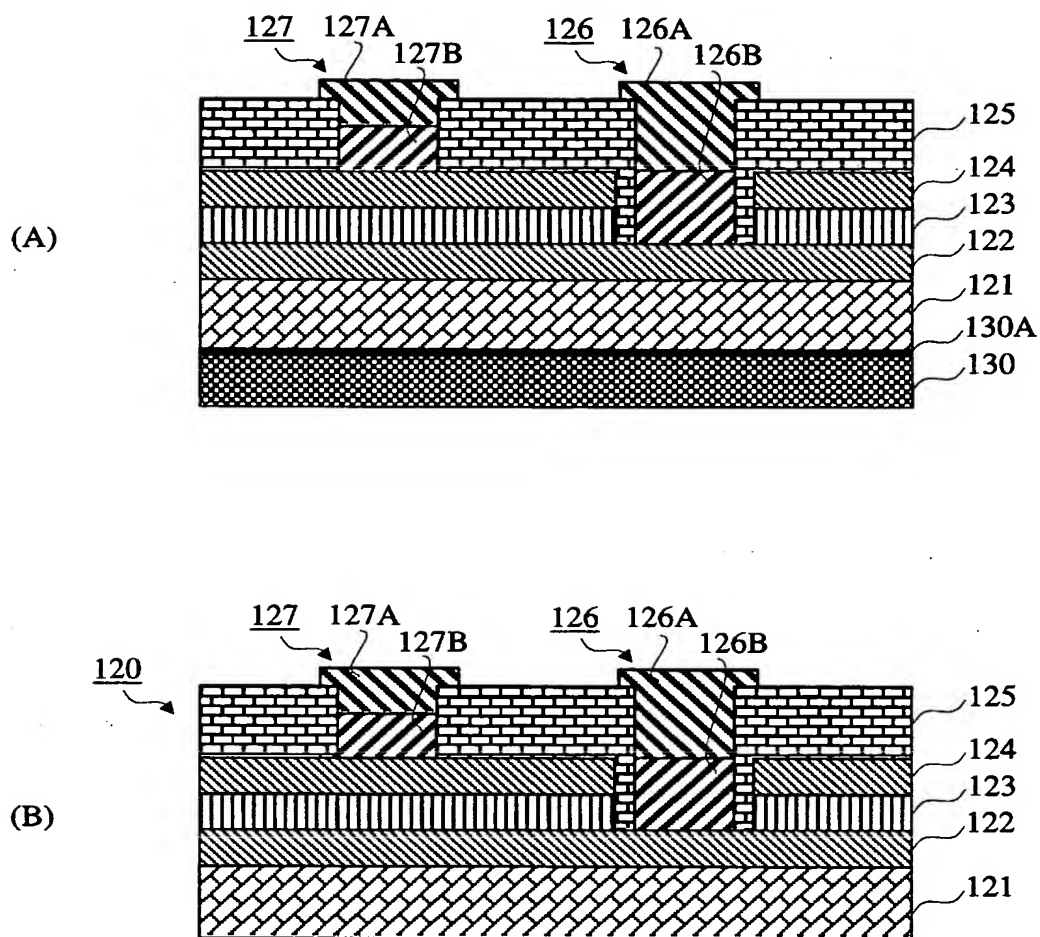
図9の構成における  
薄膜キャパシタの半導体チップへの実装工程を示す図





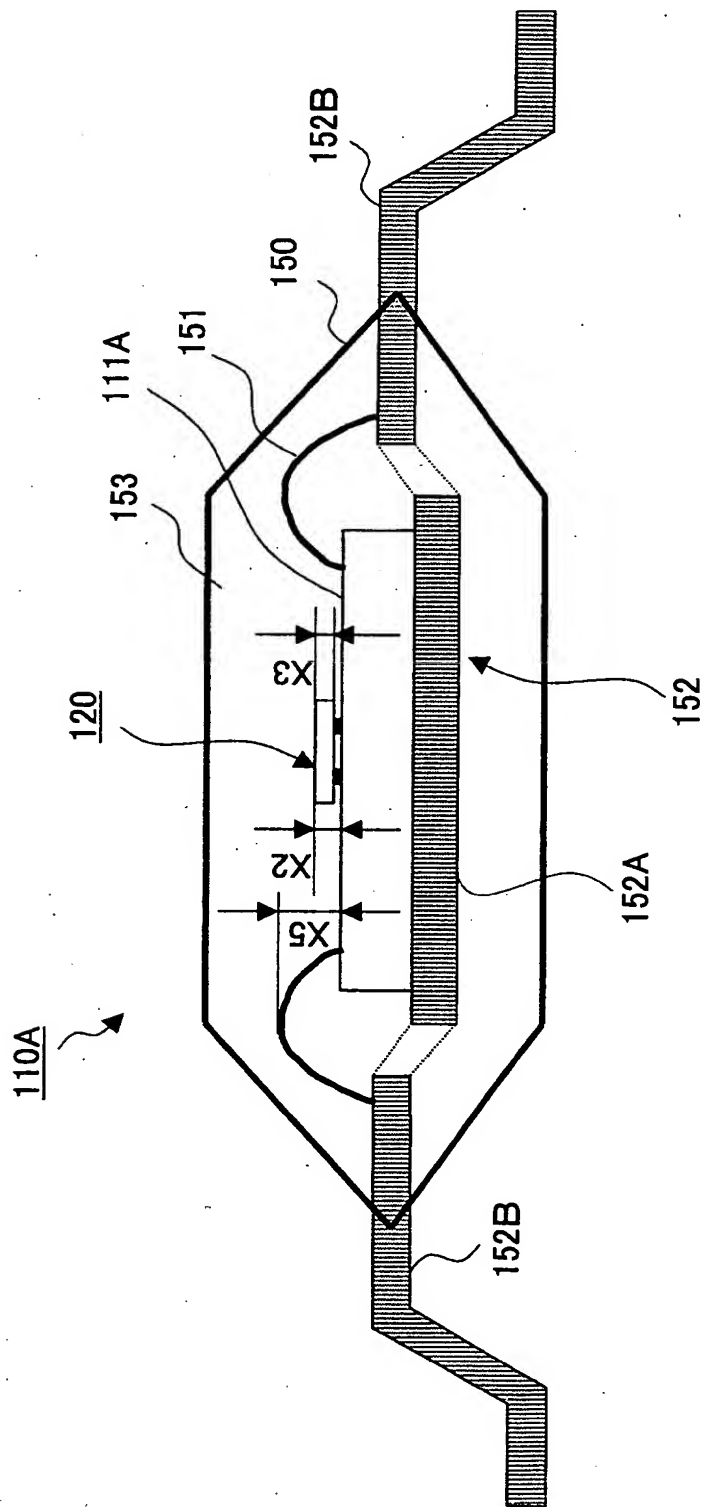
【図 12】

図11のキャパシタの製造工程の一部を示す図



【図 13】

本発明の第3実施例による半導体装置の構成を示す図



**【書類名】 要約書****【要約】**

**【課題】** 多端子で高速な半導体チップの試験に必要な、プローブ針を高密度に形成するという要件と、プローブ針の直近に高周波ノイズをカットするためのデカップリングキャパシタを配置するという要件を満足するプローブカードを提供する。

**【解決手段】** 検査対象の半導体チップ30の電極に各々接触するよう形成された複数のプローブ針16と、複数の配線を含む多層配線構造を有し、前記プローブ針を最表面に取付け、各プローブ針を当該配線に接続してあるビルドアップ配線層14と、半導体チップに対し、前記プローブ針を介して電氣的に接続するよう配設されたキャパシタ20とを備えるプローブカードにおいて、各プローブ針近傍の前記ビルドアップ配線層14の当該配線がインナービアを含む多層配線構造を有し、前記キャパシタ20を前記ビルドアップ配線層内の絶縁樹脂層に埋設して形成する。

**【選択図】** 図4

特願 2 0 0 3 - 2 7 0 3 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社